

(11) Publication number: 05226351 A

Generated Document.

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 04029136

(51) Intl. Cl.: H01L 21/331 H01L 29/73

(22) Application date: 17.02.92

(30) Priority:

(43) Date of application

03.09.93

publication:

(84) Designated contracting states:

(71) Applicant: SHARP CORP

(72) Inventor: YAMAMURA KANJI

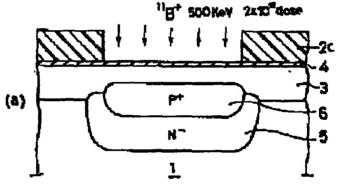
(74) Representative:

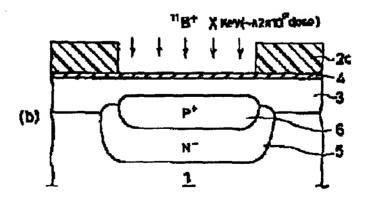
## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

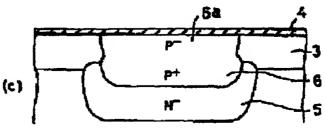
(57) Abstract:

PURPOSE: To obtain a high-frequency and high-speed vertical type PNP transistor by forming a flat low-doped collector area by suppressing the creeping-up of a buried collector layer to an epitaxial layer side by performing diffusion heat treatment, etc., after continuously performing ion implantation two or more times into the epitaxial layer with different acceleration energy.

CONSTITUTION: After a buried area 5 is formed on a semiconductor substrate 1 through a photolithographic process, an epitaxial layer 3 is formed on the entire surface of the substrate 1 and a resist 2c is formed on the layer 3







			•	· ;

an opening is formed by removing the resist 2c and film 4 on the part of layer 3 proposed to a low-doped collector layer 6a and ions are continuously implanted into the opening two or more times with different acceleration energy and diffusion heat treatment is performed. For example, boron ions are implanted by changing the acceleration energy from 500KeV to 50KeV through 300KeV, 150KeV, and 100KeV.

COPYRIGHT: (C) 1993, JPO& Japio

.

		· · ;

(19)日本国特許庁 (JP): 1.100 (12). 公 開。特 許 公 報 (A)

のサイエ 超がおる 別の田島の名が立体 別 ・1000 100分分子 別籍 155 に共列語ではま ・1040 10月118日 10歳8日 20日からま (11)特許出願公開番号、

特開平5-226351

多点・1344 · 1852 (43)公開日。平成5年(1993) 9月3日

(51) Int.CL (51)

多HOIL 21/331的美国安徽区的现在分词

29/73~9 ビエン 顔やてくなる否型したのか

けい 2002年 とこに付ける。37377 元4M出来。

F-Innex Extension 影響的大學等性的影響技術表示箇所。

よび枝化質を発去することによの傾向にもあた。その 28、その間に低に関水を加速は1982年では、1981年と

T不平均性人可能分之级。這麼數数第27.72至人的工作下了

を発展**の政策を指揮の対象を** ・1980年の政策を開発を表

審査請求 未請求 請求項の数1(全 4 頁)

(21)出願番号

· 特願平4-29136 · 古中共科学品》)

(22) 出顧日

"我们们会会就管理,这些对他还要要就是

TO COMMENTE AND THE STATE OF A ST

平成4年(1992) 2月17日

utility three maintanting

and the second property of the second propert

(71)出願人:000005049! キーかとハシンは親に関して以

大阪府大阪市阿倍野区長池町22番22号

(72)発明者。山村《官司 (2010年) (2011年) (2011年) (2011年)

大阪府大阪市阿倍野区長池町22番22号シャ

쌀으로 아니라되고 없었다. 사는 말은

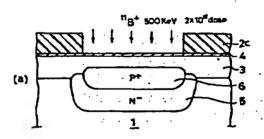
ープ株式会社内

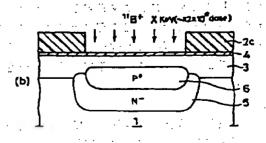
(54) 【発明の名称】 半導体装置の製造方法

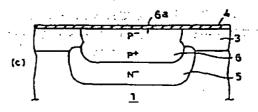
(57)【要約】

【目的】 埋込みコレクタ層のエピタキシャル層側への 這い上がりを抑え、かつフラットな低濃度コレクタ領域 を形成することができ、高周波かつ高速縦型のPNPトランジスタを実現する製造方法を提供する。

【構成】 低コレクタ層を形成すべきエピタキシャル層上方の開口部に異なる加速エネルギで2回以上連続してイオン注入を行った後、拡散熱処理を行う工程を有する。







【特許請求の範囲】2出話表(日)。

【請求項1】 半導体基板上に、フォトリソグラフィエ程により埋込み領域を形成した後、その基板上全面にエピタキシャル層を形成し、その後そのエピタキシャル層上に酸化膜を介してレジストを形成した後、低コレクタ層を形成すべきエピタキシャル層上方の上記レジストおよび酸化膜を除去することにより関口部を設け、その後、その関口部に異なる加速エネルギで2回以上連続してイオン注入を行った後、拡散熱処理を行う工程を有する半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】:强气灵车端二米等等,高温度等

- 【産業上の利用分野】-本発明は半導体装置の製造方法に 関し、更に詳しくはパイポーラ I C、縦型PNPトラン ジスタに関する。

【0002】这种的基础模型的图像是一个

【従来の技術】図4および図5に、従来技術における一般的な縦型PNPトランジスタのコレクタ部の製造方法を示す。

【0003】まず、P型ジリコン基板10上にレジスト 11aを形成し、底面分離用領域12形成のためのフォ トリソグラフィ工程により、<sup>11</sup>P\*のイオン注入を行う 〔図4(a))。

【0004】次に、拡散熱処理後、底面分離用領域12上に埋込みコレクタ領域形成のためのフォトリソグラフィ工程により、高濃度(~×10<sup>11</sup> dose)の<sup>11</sup>B<sup>1</sup>のイオン注入を行う〔図4(b)〕。

【0005】次に、エピタキシャル成長を行い、P型シリコン基板10上にエピタキシャル層13を形成する。また、NPNトランジスタ部の分離用のP・領域14を 30 形成する(図4(c)).

【0006】続いて、コレクタ領域14a形成のためのフォトリソグラフィ工程により、低濃度(~×10<sup>12</sup> do se)の<sup>11</sup> B・のイオン注入を行う〔図5(a)〕。その後、1000℃で3時間~5時間程度の拡散熱処理を行い、低濃度コレクダ領域14aを形成する〔図5(b)〕。

【0007】この時のコレクタ領域14の不純物漁度プロファイルを図6に示す。この図に示すように、エピタキシャル層13の不純物濃度は、所定の拡散層の深さま 40で減少し、低コレクタ層における拡散濃度は一定ではない

[0008]....

【発明が解決しようとする課題】ところで、従来の技術では、縦型PNPトランジスタを実現させるために、低 遺度のコレクタ領域が必要であるが、そのコレクタ領域 形成はエピタギジャル成長後、フォト・エッチング、イ オン注入、長時間にわたる拡散熱処理により形成されて いた。

【0009】ところが、この長時間拡散処理により、高 50 た、NPNトランジスタ部の分離用のP 領域6を形成

通度埋込みゴレクタ層のエピタギシャル層側への、違い上がりによる耐圧の低下が問題となっており、このため、エピタキシャル層を十分厚くする必要があった。しかじ、一方高周波かつ高速縦型のPNPトランジスタを実現するための要因として「エピタキシャル層を薄膜化しなければならず、その実現には困難を伴っていた。【0010】本発明はこれらの点に鑑みてなされたものであり、埋込みコレクタ層のエピタギシャル層側への遺い上がりを抑え、かつフラットな低濃度コレクタ領域を10 形成することができ、高周波かつ高速縦型のPNPトランジスタを実現する製造方法を提供することを目的とする

-{0 0-1-1}----

【課題を解決するための手段】上記の目的を達成するために、本発明の半導体装置の製造方法は、半導体基板上に、フォトリソグラフィ工程により埋込み領域を形成した後、その基板上全面にエピタキシャル層を形成し、その後そのエピタキシャル層上に酸化膜を介してレジストを形成した後、低コレクタ層を形成すべきエピタキシャル層上方の上記レジストおよび酸化膜を除去することにより閉口部を設け、その後、その閉口部に異なる加速エネルギで2回以上連続してイオン注入を行った後、拡散熱処理を行う工程を有することによって特徴付けられる

[0012]

【作用】本発明実施例に対応し、その作用を説明する図3に基づいて説明する。イオンの拡散の深さは、イオンの加速エネルギが大きくなるにつれて大きくなる。したがって、加速エネルギを500KeV,300KeV,150KeV,100KeV,50KeVと変化させ、連続してイオン注入を行うと、それぞれの拡散分布は、

[0013]

【実施例】図1乃至図2は本発明実施例を経時的に説明する図である。まず、P型シリコン基板1上にレジスト2aを形成し、底面分離用領域5形成のためのフォトリソグラフィ工程により、31P\*のイオン注入を行う〔図1(a)〕。

【0014】次に、拡散熱処理後、底面分離用領域5上 に埋込みコレクタ領域形成のためのフォトリソグラフィ 工程により、高濃度 (~×10<sup>11</sup> dose) の<sup>11</sup> B<sup>1</sup> のイオ ン注入を行う〔図1 (b)〕。

【0015】次に、エピタキシャル成長を行い、P型シリコン基板1上にエピタキシャル層3を形成する。また、NRNトランジスタ郊の分離用のP・毎棟6を形成

する (図1 (c))。

【0016】次に、エピタキシャル層3上に酸化膜4を形成した後、その酸化膜4上にレジスト2cを形成して、コレクタ領域形成のためのフォトリソグラフィ工程により、高エネルギ、低ドーズの1回目のボロンのイオン注入を行う。本実施例ではこの時の加速エネルギは500KeV、ドーズ量2×10でdose程度で行う〔図2(a)〕。

【0017】続いて、ドーズ量は $2\times10^{12}$  doseとして変化させずに一定とし、加速エネルギを変化させて2回目、3回目、4回目、5回目と連続してイオン注入を行う。この時のエネルギはそれぞれ300 KeV, 150 KeV, 100 KeV, 50 KeVと変化させてイオン注入を行う〔図2(b)〕。

【0018】その後、1000℃、30~60分の拡散 熱処理を行い、低濃度コレクタ層6aを形成する。〔図 2(c)〕。このように形成された低濃度コレクタ領域 の不純物濃度のプロファイルを図3に示する。

【0019】ここで、(a) 図は、上述した加速エネルギのみを変化させて、5回のイオン注入を行った後のプ 20ロファイル、また、(b) 図は、コレクタ領域形成のための拡散熱処理を行った後のプロファイルを示す。

【0020】すなわち、加速エネルギを500 KeV, 300 KeV, 150 KeV, 100 KeV, 50 KeV と変化させ、連続してイオン注入を行うと、それぞれの拡散分布は、(a) 図に示すように、それぞれ $d_1$ ,  $d_2$ ,  $d_3$ ,  $d_4$ ,  $d_5$  の濃度プロファイルとなる。さらに、この状態の基板に拡散熱処理を行うと、拡散深さに対する不純物濃度は一定となり、(b) 図に示すよう

に、低浪度コレクタ領域 6 a のどの拡散深さにおいても フラットな浪度プロファイルとなる。

[0021]

【発明の効果】以上説明したように、本発明によれば、低コレクタ層を形成すべきエピタキシャル層上方の開口部に異なる加速エネルギで2回以上連続じてイオン注入を行った後、拡散熱処理を行う工程を有するよう構成したから・短い熱処理時間で低コレクタ層をフラットに形成でき、したがって埋込みコレクタ層のエピタキシャル層側への違い上がりを抑制できる。その結果、エピタキシャル層の薄膜化が可能となり、高周波かつ高速検型PNPトランジスタが実現できる。 また、拡散熱処理は従来に比べ、著しく短縮でき有益である。

【図面の簡単な説明】

【図1】本発明実施例を経時的に説明する模式断面図

【図2】本発明実施例を経時的に説明する模式断面図

【図3】本発明実施例を説明する図

【図4】従来例を経時的に説明する図

【図5】従来例を経時的に説明する図

【図6】従来例を説明する図

【符号の説明】

1 ···· P型基板 ○ ○ 、

2 a, 2 b. 2 c · · · レジスト

3·・・・エピタキシャル層

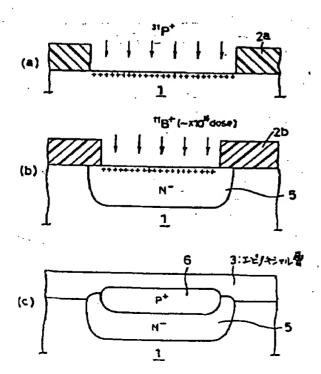
4……酸化膜

5 \*\*\*・底面分離用領域

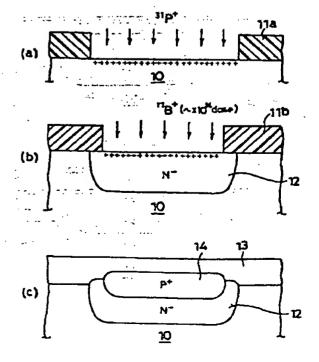
6 · · · · P · 領域

6 a····低濃度コレクタ層

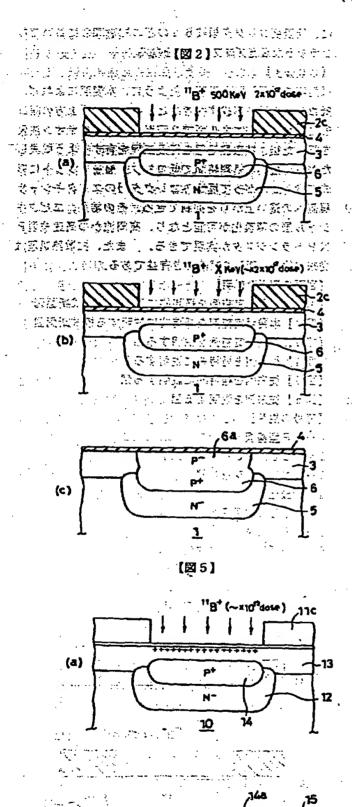
[図1]

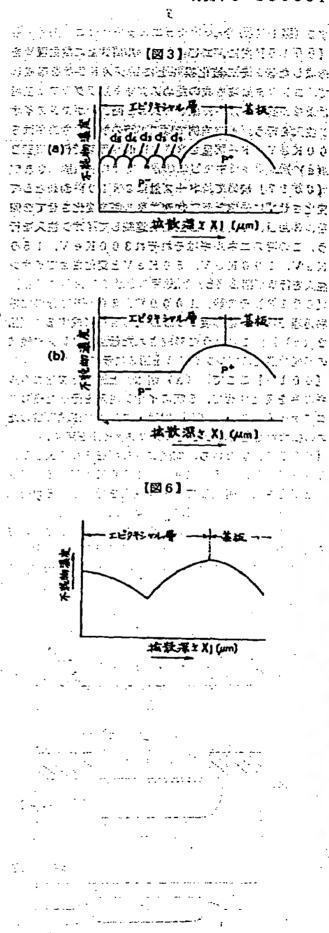


[図4]



(b)





. . 

## >PATENTS ABSTRACTS OF JAPAN

E-1474 December 10, 1993Vol.

MANUFACTURE OF SEMICONDUCTOR DEVICE

(11) 5-226351 (A) (43) 3.9.1993 (19) JP

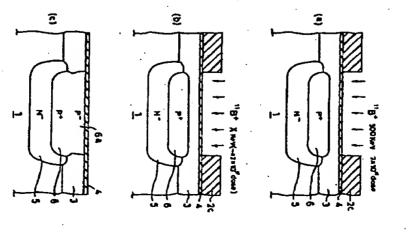
Appl. No. 4-29136 (22) 17.2.1992

(71) SHARP CORP (72) KANJI YAMAMURA

Int. Cl. H01L21/331,H01L29/73

PURPOSE: To obtain a high-frequency and high-speed vertical type PNP transistor times into the epitaxial layer with different acceleration energy. treatment, etc., after continuously performing ion implantation two or more a buried collector layer to an epitaxial layer side by performing diffusion heat by forming a flat low-doped collector area by suppressing the creeping-up of

CONSTITUTION: After a buried area 5 is formed on a semiconductor substrate to 50KeV through 300KeV, 150KeV, and 100KeV ent acceleration energy and diffusion heat treatment is performed. For example its oxide film 4. Then an opening is formed by removing the resist 2c and entire surface of the substrate 1 and a resist 2c is formed on the layer 3 through boron ions are implanted by changing the acceleration energy from 500KeV ions are continuously implanted into the opening two or more times with differ film 4 on the part of layer 3 proposed to a low-doped collector layer 6a and l through a photolithographic process, an epitaxial layer 3 is formed on the



LEGENDE zu den Bibliographiedeten

11.

(E4) Titel der Patentenmeldung

(11) Nummer der JP-A2 Veröffentlichung

(21) Aktenzeichen der JP-Anmeldung

(43) Veröffentlichungstag

(71) Anmelder (22) Anmeldeteg in Jepui (72) Erilnder

(51) Internationale Patenchiassifikation (52) Japanische Patentklassifikation